

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107048

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl. ⁶	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/12		3 0 1	H 01 L 23/12	L
21/60			21/60	3 0 1 N
// H 01 L 21/321			21/92	6 0 2 P
				6 0 4 T

審査請求 未請求 請求項の数47 OL (全23頁)

(21)出願番号	特願平8-36295
(22)出願日	平成8年(1996)2月23日
(31)優先権主張番号	特願平7-73781
(32)優先日	平7(1995)3月30日
(33)優先権主張国	日本 (JP)
(31)優先権主張番号	特願平7-202302
(32)優先日	平7(1995)8月8日
(33)優先権主張国	日本 (JP)

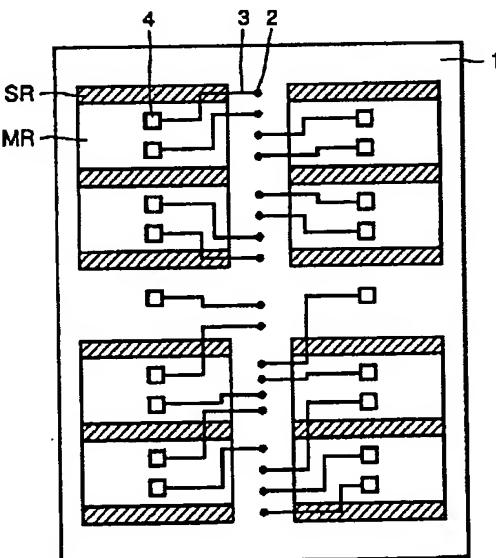
(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(72)発明者	有本 和民 東京都千代田区丸の内二丁目2番3号 三 菱電機株式会社内
(74)代理人	弁理士 深見 久郎 (外3名)

(54)【発明の名称】 半導体パッケージ

(57)【要約】

【課題】 半導体装置としての信頼性の低下を防止した半導体パッケージ、およびCSPの特徴を有効に利用した半導体パッケージを提供する。

【解決手段】 半導体チップ1に形成されたパッド2と、ボードとの接続のために半導体チップ1の主面上に形成されたパンプ電極4と、パッド2とパンプ電極4との間を接続する接続配線3とからなる外部接続用配線体が2列に平行に複数段形成されている。パンプ電極4は、センスアンプ領域SRの上部以外に設けられている。



SR: センスアンプ領域

MR: メモリセル領域

【特許請求の範囲】

【請求項1】 半導体集積回路を有する半導体チップの主面上に外部の端子との接続のために形成されたバンプ電極と、前記半導体集積回路との接続のために前記半導体チップに形成されたパッドと、写真製版法で前記半導体チップの主面上に形成され、前記パッドと前記バンプ電極との間に電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、

前記半導体集積回路が、機械的ストレスを含む外的要因により回路特性の変化を生じやすい脆弱回路を有する場合に、

前記バンプ電極は、前記脆弱回路が設けられた領域の上部以外に形成されていることを特徴とする、半導体パッケージ。

【請求項2】 前記脆弱回路は、トランジスタ対で構成され、ピット線対間の微小電位差を検出して増幅するセンスアンプ回路である、請求項1に記載の半導体パッケージ。

【請求項3】 前記脆弱回路は、微小電流で動作するアナログ回路である、請求項1に記載の半導体パッケージ。

【請求項4】 半導体集積回路を有する半導体チップの主面上に外部の端子との接続のために形成されたバンプ電極と、前記半導体集積回路との接続のために前記半導体チップに形成されたパッドと、写真製版法で前記半導体チップの主面上に形成され、前記パッドと前記バンプ電極との間に電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、

前記半導体チップの主面上には、前記半導体集積回路に電力を供給するために設けられた1以上の電源パッドと、

前記電源パッドに接続され、前記複数の外部接続用配線体の少なくとも一部を個々に取囲むように設けられた電源配線とを備えることを特徴とする、半導体パッケージ。

【請求項5】 前記複数の外部接続用配線体の少なくとも一部を個々に取囲む前記電源配線は、相互に接続してメッシュ状をなし、

前記メッシュ状の電源配線に対して電源インピーダンスが小さくなるように、前記電源パッドが複数配置された、請求項4に記載の半導体パッケージ。

【請求項6】 前記バンプ電極の真下であって、前記接続配線と前記半導体チップの主面との間に、前記バンプ電極を介して前記半導体チップに加わる機械的ストレスを緩和するストレス緩和材を備える、請求項1または請求項4に記載の半導体パッケージ。

【請求項7】 半導体集積回路を有する半導体チップの主面上に外部との接続のために形成されたバンプ電極

と、前記半導体集積回路との接続のために前記半導体チップに形成されたパッドと、写真製版法で前記半導体チップの主面上に形成され、前記パッドと前記バンプ電極との間に電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、前記半導体集積回路は、前記パッドに直接接続される入力／出力バッファ回路を有し、

前記パッドを介在して前記入力／出力バッファ回路に電気的に接続される前記バンプ電極は、前記入力／出力バッファ回路の近傍上に設けられている、半導体パッケージ。

【請求項8】 前記半導体集積回路は、複数のメモリマットと、複数の前記メモリマットを分割しつつ前記メモリマットの各々を独立して制御するためのマスター周辺回路とを有し、

前記メモリマットは、メモリ素子を有する複数のメモリ領域と、複数のメモリ領域を分割しつつ各メモリ領域内のメモリ素子を独立して制御するためのローカル周辺回路とを有している、請求項7に記載の半導体パッケージ。

【請求項9】 前記半導体チップの主面上に形成された第2の接続配線をさらに備え、

前記マスター周辺回路と前記ローカル周辺回路とは、前記第2の接続配線によって電気的に接続されている、請求項8に記載の半導体パッケージ。

【請求項10】 前記マスター周辺回路を通じて複数の前記メモリマットの各々に伝達される信号を入力するための前記バンプ電極は、前記マスター周辺回路が設けられた領域上に形成されており、

30 複数の前記メモリマットの各々は、前記バンプ電極の位置に対して対称となるように配置されており、前記バンプ電極から複数の前記メモリマットに接続される配線の各々は、前記バンプ電極の位置に対して対称となるように配置されている、請求項8に記載の半導体パッケージ。

【請求項11】 前記バンプ電極から複数の前記メモリマットの各々に入力される信号の伝達距離は略同一である、請求項8に記載の半導体パッケージ。

【請求項12】 前記メモリ素子からの出力信号を外部へ出力するための出力用の前記バンプ電極は前記出力バッファ回路に電気的に接続されており、

出力用の前記パッドに電気的に接続された出力用の前記バンプ電極は、前記出力バッファ回路を有する前記ローカル周辺回路が設けられた領域上に配置されている、請求項8に記載の半導体パッケージ。

【請求項13】 前記接続配線は、前記半導体チップの主面上の異なる高さ位置に延在し、かつ互いに電気的に絶縁された第1および第2の接続配線を有している、請求項7に記載の半導体パッケージ。

【請求項14】 前記接続配線は、前記半導体チップの

主面上の同一の高さ位置に延在する第1および第2の接続配線を有し、

前記第1および第2の接続配線の交差部において、前記第1および第2の接続配線の一方が前記半導体チップ内に形成された導電層と電気的に接続されることで、前記第1および第2の接続配線の電気的な絶縁状態が保持される、請求項7に記載の半導体パッケージ。

【請求項15】前記出力バッファ回路に電源を供給するための電源用の前記バンプ電極は、前記出力バッファ回路を有する前記ローカル周辺回路が設けられた領域上に配置されている、請求項8に記載の半導体パッケージ。

【請求項16】前記メモリ領域内の複数の前記メモリ素子の各々に電気的に接続され、複数の前記メモリ素子のデータを入力するためのデータバスに電気的に接続される出力用の前記バンプ電極は、前記メモリ領域の近傍上に配置されている、請求項8に記載の半導体パッケージ。

【請求項17】前記マスター周辺回路は、複数の前記メモリマットのうちいずれか1つを選択して動作可能な状態にするとともに、非選択の前記メモリマット内の前記ローカル周辺回路への電源供給を断つためのマットセレクト回路を有している、請求項8に記載の半導体パッケージ。

【請求項18】前記マスター周辺回路は、選択すべき前記メモリマットの個数を選択して、その選択された個数の前記メモリマットを動作可能な状態にするとともに、非選択の前記メモリマット内の前記ローカル周辺回路への電源供給を断つためのマットセレクト回路を有している、請求項8に記載の半導体パッケージ。

【請求項19】電源電圧を前記半導体集積回路内の素子に供給するための電源用導電層が前記半導体チップ内に形成されており、

前記バンプ電極から電源電圧を与えられる前記接続配線は、前記電源用導電層の延びる方向と交差する方向に延びており、かつ前記電源用導電層と電気的に接続されている、請求項7に記載の半導体パッケージ。

【請求項20】前記素子は、トランジスタ対で構成され、ピット線対間の微小電位差を検出して増幅するセンスアンプ回路であり、前記接続配線と前記電源用導電層とは平面的にメッシュ状となるように配置されている、請求項19に記載の半導体パッケージ。

【請求項21】前記半導体チップは、テストモード時にプロバーの探針を接触させるためのテスト用パッドを有し、

前記テスト用パッドは、前記半導体チップの正面であって前記半導体集積回路が設けられた領域の上部以外に形成されている、請求項8に記載の半導体パッケージ。

【請求項22】テストモード時において外部からのテ

スト信号により、活性化される発振器と、前記発振器によって制御信号を発生させる制御信号発生器とをさらに備え、

前記制御信号発生器から出力される信号がマスター周辺回路に入力されるように前記信号発生器が前記マスター周辺回路に接続されている、請求項8に記載の半導体パッケージ。

【請求項23】テストモード時において複数の前記メモリマットの各々から得られたテストデータの良・不良を順次記憶し、その記憶された前記テストデータの良・不良を順次出力するシフトレジスタをさらに備える、請求項8に記載の半導体パッケージ。

【請求項24】前記シフトレジスタから出力される前記テストデータの良・不良を示す信号は、前記半導体チップに設けられたテスト用パッドから出力される、請求項23に記載の半導体パッケージ。

【請求項25】前記テスト用パッドと前記パッドとは、異なる配線経路で前記ローカル周辺回路に電気的に接続されており、

前記テスト用パッドと前記ローカル周辺回路との間の第1の配線は接続と非接続との切換えが可能であり、かつ前記パッドと前記ローカル周辺回路との間の第2の配線も接続と非接続との切換えが可能であり、

テストモード時には前記第1の配線は接続状態であり、かつ前記第2の配線は非接続状態であり、通常の動作時には、前記第1の配線は非接続状態であり、かつ前記第2の配線は接続状態である、請求項21に記載の半導体パッケージ。

【請求項26】テストモード時において複数の前記メモリマットの各々から得られたテストデータの良・不良から前記メモリ素子の不良アドレスを判別し、記録する手段をさらに備え、

前記手段から前記不良アドレスの信号が順次出力される、請求項8に記載の半導体パッケージ。

【請求項27】不良アドレスを選別し記録する前記手段から出力される前記不良アドレスの信号は、前記半導体チップに設けられたテスト用パッドから出力される、請求項26に記載の半導体パッケージ。

【請求項28】所定の電位が与えられる前記接続配線を取囲むように前記半導体チップの主面上に設けられた電源配線をさらに備え、

前記電源配線は、電流が流れないように構成されている、請求項7に記載の半導体パッケージ。

【請求項29】複数の前記バンプ電極は、互いに分離されて前記半導体パッケージの表面全面に露出するよう配置されている、請求項7に記載の半導体パッケージ。

【請求項30】複数の前記バンプ電極には、前記パッドと電気的に接続されていないバンプ電極が含まれる、請求項29に記載の半導体パッケージ。

【請求項31】 前記バンプ電極は、各々分離されて前記パッケージの裏面に露出するように配置されている、請求項29に記載の半導体パッケージ。

【請求項32】 テストモード時において前記メモリマットから所定数のメモリ素子を選択し、前記所定数のメモリ素子のロジックの一一致／不一致を判別し、その判別結果を出力するコンパレータが、複数の前記メモリマットのうちのいずれか1つにのみ接続されている、請求項11に記載の半導体パッケージ。

【請求項33】 半導体集積回路を有する半導体チップを備えた半導体パッケージであって、

前記半導体集積回路は、複数のメモリマットと、複数の前記メモリマットを分割してかつ各メモリマットを独立して制御するためのマスター周辺回路とを有し、

前記メモリマットは複数のメモリ素子を有し、テストモード時において複数の前記メモリマットの各々から得られたテストデータの良・不良から前記メモリ素子の不良アドレスを判別し記録する手段をさらに備え、前記手段から前記不良アドレスの信号が順次出力される、半導体パッケージ。

【請求項34】 半導体集積回路を有する半導体チップの主面上に外部との接続のために形成されたバンプ電極と、前記半導体集積回路との接続のために前記半導体チップに形成されたパッドと、写真製版法で前記半導体チップの主面上に形成され、前記パッドと前記バンプ電極との間を電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、所定の電位が与えられる前記接続配線を取囲むように前記半導体チップの主面上に設けられた電源配線を備え、前記電源配線は、電流が流れないように構成されている、半導体パッケージ。

【請求項35】 半導体集積回路を有する半導体チップの主面にパッドを備えた半導体パッケージであって、前記半導体集積回路は、複数のメモリマットと、複数の前記メモリマットを分割しつつ前記メモリマットの各々を独立して制御するためのマスター周辺回路とを有し、前記メモリマットは複数のメモリ素子を有し、複数の前記メモリマットの各々は、前記パッドから複数の前記メモリマットの各々に入力される信号の伝達距離が略同一となるように配置されており、

テストモード時において前記メモリマットから所定数のメモリ素子を選択し、前記所定数のメモリ素子のロジックの一一致／不一致を判別し、その判別結果を出力するコンパレータが、複数の前記メモリマットのうちのいずれか1つにのみ接続されている、半導体パッケージ。

【請求項36】 半導体集積回路を有する半導体チップの主面上に外部の端子との接続のために形成されたバンプ電極と、前記半導体集積回路との接続のために前記半導体チップに形成されたパッドと、前記パッドと前記バンプ電極との間を電気的に接続する接続配線とで構成さ

れた外部接続用配線体を複数備える半導体パッケージにおいて、

前記半導体集積回路は、複数のメモリマットと、複数の前記メモリマットを分割してかつ前記メモリマットの各々を独立して制御するためのマスター周辺回路とを有し、

前記メモリマットは、複数のメモリアレイと、複数の前記メモリアレイを分割しつつ前記メモリアレイの各々を独立して制御するためのローカル周辺回路とを有している、半導体パッケージ。

【請求項37】 前記接続配線は、写真製版で前記半導体チップの主面上に形成されている、請求項36に記載の半導体パッケージ。

【請求項38】 前記半導体チップの前記パッドが形成された面の裏面側で前記半導体チップを固着する基板をさらに備え、

前記基板の前記半導体チップが固着された面の裏面側に前記バンプ電極が配置されており、

前記バンプ電極と前記パッドとは、前記基板に設けられた孔を通じて電気的に接続されている、請求項36に記載の半導体パッケージ。

【請求項39】 複数の前記メモリマットと前記マスター周辺回路とが配置された領域の外周領域であって前記半導体チップの主表面上には、複数個の前記パッドが配置されており、

前記マスター周辺回路に電気的に接続される前記パッドは、前記外周領域内であって前記マスター周辺回路からの距離が略最短となる位置に配置されている、請求項38に記載の半導体パッケージ。

【請求項40】 複数の前記メモリマットの各々と複数の前記パッドの各々とは前記マスター周辺回路の位置に對して対称となるように配置されている、請求項38に記載の半導体パッケージ。

【請求項41】 前記マスター周辺回路に電気的に接続される複数の前記パッドの各々から前記マスター周辺回路に入出力される信号の伝達距離は略同一であり、複数の前記マスター周辺回路の各々から前記ローカル周辺回路に入出力される信号の伝達距離は略同一である、請求項38に記載の半導体パッケージ。

【請求項42】 複数の前記メモリマットのうち特定のメモリマットの前記ローカル周辺回路に電気的に接続される複数の前記パッドは、前記外周領域内であって、前記特定のメモリマットの外形に沿って配置されている、請求項39に記載の半導体パッケージ。

【請求項43】 前記ローカル周辺回路と前記パッドとを結線する配線層および前記マスター周辺回路と前記パッドとを結線する配線層が、前記半導体チップ内に形成されるすべての配線層の中で半導体基板から最も上層に形成されている、請求項38に記載の半導体パッケージ。

【請求項44】前記マスター周辺回路は、複数の前記メモリマットのうちいずれか1つを選択して動作可能な状態にするとともに、非選択の前記メモリマット内の前記ローカル周辺回路への電源供給を断つためのマットセレクト回路を有している、請求項38に記載の半導体パッケージ。

【請求項45】前記マスター周辺回路は、選択すべき前記メモリマットの個数を選択して、その選択された個数の前記メモリマットを動作可能な状態にするとともに、非選択の前記メモリマットのうちの前記ローカル周辺回路への電源供給を断つためのマットセレクト回路を有している、請求項38に記載の半導体パッケージ。

【請求項46】複数の前記バンプ電極には、前記パッドと電気的に接続されていないバンプ電極が含まれる、請求項38に記載の半導体パッケージ。

【請求項47】テストモード時において前記メモリマットから所定数のメモリ素子を選択し、前記所定数のメモリ素子のロジックの一一致／不一致を判別し、その判別結果を出力するコンパレータが、複数の前記メモリマットのうちのいずれか1つにのみ接続されている、請求項38に記載の半導体パッケージ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、チップ占有率が高く実装密度を飛躍的に向上できるCSP (Chip Scale Package) 構造およびBGA (Ball Grid Array) 構造の半導体パッケージに関し、特に半導体装置としての信頼性の低下を防止したCSP構造およびBGA構造の半導体パッケージに関する。

【0002】

【従来の技術】近年、チップ占有率が高く（90%以上）、実装密度を飛躍的に向上できる半導体パッケージとして、CSP構造の半導体パッケージが開発され、たとえばISSCC (International Solid-State Circuits Conference) 94等で発表されている。

【0003】CSP構造の半導体パッケージ（以下、CSPと呼称）は、図30に示すように半導体チップ1と、接続配線3と、バンプ電極4と、モールド樹脂5とを有している。半導体チップ1は、半導体集積回路と、その半導体集積回路に電気的に接続されたボンディングパッド（以下パッドと省略）2とを有している。このパッド2は、写真製版で形成された接続配線3を介してバンプ電極4に接続されている。モールド樹脂5はバンプ電極4の頭部以外を覆っている。このCSP構造の半導体パッケージは、バンプ電極4を溶融することで所定のボードに実装される。

【0004】CSPでは半導体チップ1の上に接続配線3およびバンプ電極4が形成されるので、従来のパッケージのようなリードピンおよび、リードピンと半導体チップのパッドとを接続するワイヤなどが不要となる。し

たがって、リードピンおよびワイヤを覆うのに必要であった厚いモールドが不要となり、モールドの厚みを飛躍的に薄くすることができる。極論すれば、CSPは半導体チップとほぼ同寸法のパッケージを得ることができる。

【0005】また、写真製版で接続配線3を形成するので、接続配線3の長さ、経路形状を自在に設定でき、バンプ電極4およびパッド2を任意の位置に形成した場合にも、バンプ電極4とパッド2間の接続を問題なく行うことができる。また、バンプ電極4とパッド2との間の長さが短くなるように接続配線3を形成することで、ワイヤインダクタンスや入力容量を改善して電気特性を向上することができる。

【0006】図31に、パッド2を任意の位置に配置して接続配線3を施した場合のCSPを示す。図31に示すように、パッド2は任意の位置に形成され、写真製版によって縦横に形成された接続配線3によってバンプ電極4と接続されている。

【0007】

【発明が解決しようとする課題】図31に示すように、CSPでは、パッド2、接続配線3およびバンプ電極4を半導体チップ1上の任意の位置に形成することができる。しかし、バンプ電極4の形成時およびCSPをボードに実装する際には、バンプ電極4の下層に形成された半導体素子にストレスが加わる。このため、バンプ電極4の形成時およびCSPのボード実装時にはできるだけストレスを加えないように注意を払う必要があった。

【0008】また、CSPはパッド2などを半導体チップ1上の任意の位置に形成できるという特徴を有しているにもかかわらず、図30および図31に示すように、この特徴は、パッド2とバンプ電極4との間を接続配線3によって実際に接続する程度に利用されているにすぎなかった。

【0009】またDRAM (Dynamic Random Access Memory) などの半導体メモリでは、大容量化が進むにつれて、チップ面積が増大していくが、性能の方は高速化、低消費電力化がますます要求されている。しかしながら、チップ面積増大により、チップ上の配線経路が長くなり、信号伝達の遅延が大きくなり、高速化が妨げられる。

【0010】また多ビット構成への要求に対応して、たとえば従来のデータの入出力ビン数についても、 $\times 1/\times 4/\times 8$ 構成より $\times 16/\times 32/\times 64$ 構成が要求されている。この多ビット化は出力バッファの数やボンディングパッド数を増やし、チップ面積の増大を生じさせ、さらに電源ノイズなども増大させる。

【0011】またメモリとロジックとを混載したシステムチップへの流れも考えられており、それに対応するための実装技術も要求されている。

【0012】それゆえ、本発明の一の目的は、下層に形

成された半導体素子にストレスが加わることを考慮してパンプ電極を配置し、半導体装置としての信頼性の低下を防止した半導体パッケージを提供することである。

【0013】また本発明の他の目的は、CSPの特徴を有効に利用した半導体パッケージを提供することである。

【0014】また本発明のさらに他の目的は、大容量の半導体メモリにおいても、高速動作を維持可能な半導体パッケージを提供することである。

【0015】また本発明のさらに他の目的は、多ビット化しても、チップ面積の増大を抑制でき、かつ電源ノイズの増大も抑制可能な半導体パッケージを提供することである。

【0016】

【課題を解決するための手段】本発明の半導体パッケージは、半導体集積回路を有する半導体チップの主面上に外部との接続のために形成されたパンプ電極と、半導体集積回路との接続のために半導体チップに形成されたパッドと、写真製版法で半導体チップの主面上に形成され、パッドとパンプ電極との間を電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージであることを前提として以下の特徴を有している。

【0017】本発明の一の局面に従う半導体パッケージでは、半導体集積回路が、機械的ストレスを含む外的要因により回路特性の変化を生じやすい脆弱回路を有する場合に、パンプ電極は、脆弱回路が設けられた領域の上部以外に形成されている。

【0018】本発明の一の局面に従う半導体パッケージでは、パンプ電極は、脆弱回路が設けられた領域の上部以外に形成されているため、機械的にストレスがパンプ電極を介して脆弱回路に加わることが防止される。

【0019】上記局面において好ましくは、脆弱回路が、トランジスタ対で構成され、ピット線対間の微小電位差を検出して増幅するセンスアンプ回路である。

【0020】脆弱回路がトランジスタ回路である為、パンプ電極を介して加わる機械的ストレスによりトランジスタ対の動作特性がアンバランスになることが防止され、センスアンプ回路のセンス動作が低下することが防止される。

【0021】上記局面において好ましくは、脆弱回路が、微小電流で動作するアナログ回路である。

【0022】脆弱回路がアナログ回路であるため、パンプ電極を介して加わる機械的ストレスによりアナログ回路の動作が阻害されることが防止される。

【0023】本発明の他の局面に従う半導体パッケージは、1以上の電源パッドと、電源配線とを備えている。1以上の電源パッドは、半導体チップの主面上に、半導体集積回路に電力を供給するために設けられている。電源配線は、電源パッドに接続され、複数の外部接続用配

線体の少なくとも一部を個々に取囲むように設けられている。

【0024】本発明の他の局面に従う半導体パッケージでは、複数の外部接続用配線体の少なくとも一部を個々に取囲むように電源配線が設けられているため、電源配線によって取囲まれた外部接続用配線体は電気的にシールドされ、他の外部接続用配線体からの電気的影響、および他の外部接続用配線体への電気的影響を防止することができる。

【0025】上記局面において好ましくは、複数の外部接続用配線体の少なくとも一部を個々に取囲む電源配線は、相互に接続してメッシュ状をなしている。このメッシュ状の電源配線に対して電源インピーダンスが小さくなるように電源パッドが複数配置されている。

【0026】電源インピーダンスが小さくなるように、メッシュ状の電源配線に複数の電源パッドが配置されているため、電源の負荷を低減することができる。

【0027】上記局面において好ましくは、パンプ電極の真下であって、接続配線と半導体チップの主面との間に、パンプ電極を介して半導体チップに加わる機械的ストレスを緩和するストレス緩和材が備えられている。

【0028】パンプ電極の真下の接続配線と半導体チップの主面との間に、パンプ電極を介して半導体チップに加わる機械的ストレスを緩和するストレス緩和材が備えられているため、半導体集積回路に機械的にストレスが加わることが防止される。

【0029】本発明のさらに他の局面に従う半導体パッケージでは、半導体集積回路はパッドに直接接続される入力/出力バッファ回路を有している。パッドを介在して入力/出力バッファ回路に電気的に接続されるパンプ電極は、入力/出力バッファ回路の近傍上に設けられている。

【0030】本発明のさらに他の局面に従う半導体パッケージでは、パンプ電極が、入力/出力バッファ回路の近傍上に設けられているため、パンプ電極から入力/出力バッファ回路までの配線経路を短くできる。よって、パンプ電極と入力/出力バッファ回路との間の信号伝達の遅延を防止できる。したがって、半導体メモリなどが大容量化されても高速動作を維持することができる。また、配線経路を短くできるため、アドレスセットアップやホールドマージンを改良することができる。

【0031】上記局面において好ましくは、半導体集積回路は、複数のメモリマットと、複数のメモリマットを分割しつつメモリマットを独立して制御するためのマスター周辺回路とを有している。メモリマットは、メモリ素子を有する複数のメモリ領域と、複数のメモリ領域を分割しつつ各メモリ領域のメモリ素子を独立して制御するためのローカル周辺回路とを有している。

【0032】半導体集積回路は、いわゆる階層メモリ構成を有している。このため、大容量化されても高速動作

を維持可能な階層メモリ構成を有する半導体メモリを得ることができる。

【0033】上記局面において好ましくは、半導体チップの主面上に形成された第2の接続配線がさらに備えられている。マスター周辺回路とローカル周辺回路とは、この第2の接続配線によって電気的に接続されている。

【0034】第2の接続配線は、半導体チップの主面上に形成される。この半導体チップの主面上には素子や回路などは形成されていないため、第2の接続配線の線幅を大きく確保することができる。また第2の接続配線の材料に対する制約も少ないため、配線に適した材料を選択することができる。よって、第2の接続配線のインピーダンスは小さくでき、それゆえ時定数を低減できるとともに信号の伝達の遅延を防止することができる。

【0035】上記局面において好ましくは、マスター周辺回路を通じて複数のメモリマットの各々に伝達される信号を入力するためのバンプ電極は、マスター周辺回路が設けられた領域上に形成されている。複数のメモリマットの各々は、バンプ電極の位置に対して対称となるように配置されている。バンプ電極から複数のメモリマットに接続される配線は、バンプ電極の位置に対して対称となるように配置されている。

【0036】バンプ電極に対して、複数のメモリマットの各々が対称に配置されているため、バンプ電極から複数のメモリマットの各々に接続される各配線も、バンプ電極に対して対称となるように配置できる。また入力信号は、各メモリマットを制御するためのマスター周辺回路にまず入力される。このため、バンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一となる。したがって、各メモリマットに入力される信号の位相ずれ、いわゆるスキューを非常に小さくすることができる。

【0037】上記局面において好ましくは、バンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一である。

【0038】バンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一であるため、各メモリマットに対してのスキューを非常に小さくすることができる。

【0039】上記局面において好ましくは、メモリ素子からの出力信号を外部へ出力するための出力用のバンプ電極は、ローカル周辺回路領域内に設けられた出力バッファ回路に電気的に接続されている。この出力用のバンプ電極は、ローカル周辺回路が設けられた領域上に配置されている。

【0040】出力用のバンプ電極はローカル周辺回路領域上に配置され出力バッファ回路の近傍上に配置できる。よって、出力バッファ回路からバンプ電極への出力信号の遅延を防止することが出来る。

【0041】上記局面において好ましくは、接続配線

は、半導体チップの主面上の異なる高さ位置に延在し、かつ互いに電気的に絶縁された第1および第2の接続配線を有している。

【0042】互いに異なる高さ位置に延在するように第1および第2の接続配線が設けられているため、互いに同じ高さ位置に形成された場合と比較して接続配線の配置の自由度が高くなる。したがって、第1および第2の接続配線を電気的に絶縁した状態を維持したまま、各種の配線構造に対応することは容易である。

【0043】上記局面において好ましくは、接続配線は、半導体チップの主面上の同一の高さ位置に延在する第1および第2の接続配線を有している。第1および第2の接続配線の交差部において、第1および第2の接続配線の一方が半導体チップ内に形成された導電層と電気的に接続されることで第1および第2の接続配線の電気的な絶縁状態が保持される。

【0044】半導体チップ内の導電層を用いることで、互いに同一の高さ位置に延在する第1および第2の接続配線を絶縁状態を保持できるため、各種の配線構造に対応することは容易である。

【0045】上記局面において好ましくは、出力バッファ回路に電源を供給するための電源用のバンプ電極は、出力バッファ回路を有するローカル周辺回路が設けられた領域上に配置されている。

【0046】出力バッファ回路に電源を供給するための電源用のバンプ電極が出力バッファ回路領域上に形成されているため、短い配線経路でバンプ電極から出力バッファ回路へ電源を供給することができる。よって電源ノイズの小さい安定した低インピーダンス電源を実現することができる。

【0047】上記局面において好ましくは、メモリ領域内の複数のメモリ素子の各々に電気的に接続され、複数のメモリ素子のデータを入出力するためのデータバスに電気的に接続される出力用のバンプ電極は、メモリ領域の近傍上に配置されている。

【0048】データバスに電気的に接続されるバンプ電極をメモリ領域の近傍上に配置できるため、データバスを短くすることができる。したがって、多ビット化によりアクセスが劣化することはない。

【0049】上記局面において好ましくは、マスター周辺回路は、複数のメモリマットのうち何れか1つを選択して動作可能な状態にするとともに、非選択のメモリマット内のローカル周辺回路への電源供給を断つためのマットセレクト回路を有している。

【0050】マットセレクト回路により特定のマットを選択して、そのマットのみ動作させることができる。また非選択のマットについてはローカル周辺回路への電源供給がマットセレクト回路により断たれるため、非選択のマットに所定の電圧を印加してスタンバイ状態にする

場合に比べて、消費電力を低減することができる。

【0051】上記局面において好ましくは、マスター周辺回路は、選択すべきメモリマットの個数を選択して、その選択された個数のメモリマットを動作可能な状態にするとともに、非選択のメモリマット内のローカル周辺回路への電源供給を断つためのマットセレクト回路を有している。

【0052】マットセレクト回路により、選択すべきメモリマットの個数を選べるため、この選んだメモリマットの個数によりビット数を変えることができる。よって、ビットサイズが可変なモジュールのように取り扱うことができる。また非選択のメモリマットについては、ローカル周辺回路への電源供給がマットセレクト回路により断たれるため、上述と同様、消費電力を低減することができる。

【0053】上記局面において好ましくは、電源電圧を半導体集積回路内の素子に供給するための電源用導電層が半導体チップ内に形成されている。パンプ電極から電源電圧を与えられる接続配線は、電源用導電層の延びる方向と交差する方向に延びており、かつ電源用導電層と電気的に接続されている。

【0054】接続配線を電源用導電層に電気的に接続することにより、電源用導電層の電位を強化することができる。

【0055】上記局面において好ましくは、素子は、トランジスタ対で構成され、ピット線対間の微小電位差を検出して増幅するセンスアンプ回路であり、接続配線と電源用導電層とは平面的にメッシュ状となるように配置されている。

【0056】センスアンプ回路に接続される電源用導電層の電位が強化されるため、センスアンプ回路の安定した動作を得ることができる。

【0057】上記局面において好ましくは、半導体チップは、テストモード時にプローバの探針を接触させるためのテスト用パッドを有している。テスト用パッドは、半導体チップの正面であって、半導体集積回路が設けられた領域の上部以外に形成されている。

【0058】テスト用パッドを有しているため、この半導体チップはプローバによるウェハテストを行うことができる。

【0059】上記局面において好ましくは、テストモード時において、外部からのテスト信号により活性化される発振器と、発振器によって各制御信号を発生させる制御信号発生器とがさらに備えられている。制御信号発生器から出力される信号がマスター周辺回路に入力されるように制御信号発生器がマスター周辺回路に接続されている。

【0060】外部からのテスト信号により半導体チップ内でRAS、CASなどの各アドレス信号等の制御信号やテストパターンなどを発生することができるため、これらの信号を半導体チップの外部から入力する場合に比

べて、半導体チップのテスト用パッド数を減らすことができる。

【0061】上記局面において好ましくは、テストモード時において、複数のメモリマットの各々から得られたテストデータの良・不良を順次記憶し、その記憶されたテストデータの良・不良を順次出力するシフトレジスタがさらに備えられている。

【0062】上記局面において好ましくは、シフトレジスタから出力されるテストデータの良・不良を示す信号は、半導体チップに設けられたテスト用のパッドから出力される。

【0063】シフトレジスタにより1つの出力用のパッドに複数のテストデータの良・不良を順次出力することができる。このため、半導体チップのテスト用パッド数を減らすことができる。

【0064】上記局面において好ましくは、テスト用パッドとパッドとは、異なる配線経路でローカル周辺回路に電気的に接続されている。テスト用パッドとローカル周辺回路との間の第1の配線は接続と非接続との切換えが可能であり、かつパッドとローカル周辺回路との間の第2の配線も接続と非接続との切換えが可能である。テストモード時には第1配線は接続状態で、かつ第2の配線は非接続状態である。通常動作時には、第1の配線は非接続状態で、かつ第2の配線は接続状態である。

【0065】第1および第2の配線の接続・非接続を選択できるため、テストモード時にはテスト用パッドとローカル周辺回路とを電気的に接続でき、かつ通常動作時にはパッドとローカル周辺回路とを電気的に接続することができる。

【0066】上記局面において好ましくは、テストモード時において、複数のメモリマットの各々から得られたテストデータの良・不良からメモリ素子の不良アドレスを判別し、記録する手段がさらに備えられている。この手段から不良アドレスの信号が順次出力される。

【0067】上記局面において好ましくは、不良アドレスを選別し記録する手段から出力される不良アドレスの信号は、半導体チップに設けられたテスト用のパッドから出力される。

【0068】メモリ素子の不良アドレスを判別し記録する手段を有するため、不良アドレスをパケットで出力することができる。

【0069】上記局面において好ましくは、所定の電位が与えられる接続配線を取り囲むように半導体チップの正面に電源配線が設けられている。この電源配線は、電流が流れないように構成されている。

【0070】電流の流れないように構成された電源配線によって接続配線が取り囲まれるため、この接続配線は電気的にシールドされ、他の外部接続用配線体からの電気的影響および他の外部接続用配線体への電気的影響を防止することができる。

【0071】上記局面において好ましくは、複数のバンプ電極は、互いに分離されて半導体パッケージの表面全面に露出するように配置されている。

【0072】上記局面において好ましくは、複数のバンプ電極には、パッドと電気的に接続されていないバンプ電極が含まれている。

【0073】複数のバンプ電極が半導体パッケージの表面全面に形成されているため、半導体パッケージの放熱性を高めることができる。それによって熱抵抗を下げることができる。

【0074】上記局面において好ましくは、バンプ電極は各々分離されて半導体パッケージの裏面にも配置されている。

【0075】裏面にも複数のバンプ電極が形成されることにより、一層パッケージの放熱性を高めることができ、熱抵抗を下げることができる。

【0076】上記局面において好ましくは、テストモード時においてメモリマットから所定数のメモリ素子を選択し、所定数のメモリ素子のロジックの一致／不一致を判別し、その判別結果を出力するコンパレータが、複数のメモリマットのうちのいずれか1つにのみ接続されている。

【0077】バンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一であるため、これらのマットへのアクセス時間も略同一となる。したがって、コンパレータを1つのメモリマットにのみ設けてそのメモリマットのアクセス時間を測定すれば、他のメモリマットのアクセス時間の測定を省略することができ、いわゆる1／0の擬似縮退テストが可能となる。

【0078】本発明のさらに他の局面に従う半導体パッケージは、半導体集積回路を有する半導体チップを備えた半導体パッケージであって、半導体集積回路は、複数のメモリマットと、複数のメモリマットを分割しつつメモリマットを独立して制御するためのマスター周辺回路とを有している。メモリマットは複数のメモリ素子を有している。テストモード時において複数のメモリマットの各々から得られたテストデータの良・不良からメモリ素子の不良アドレスを判別し記録する手段がさらに備えられている。この手段から不良アドレスの信号が順次出力される。

【0079】本発明のさらに他の局面に従う半導体パッケージでは、メモリ素子の不良アドレスを判別し記録する手段を有するため、不良アドレスをパケットで出力することができる。

【0080】本発明のさらに他の局面に従う半導体パッケージは、半導体集積回路を有する半導体チップの主面上に外部等の接続のために形成されたバンプ電極と、半導体集積回路との接続のために半導体チップに形成されたパッドと、写真製版法で半導体チップの主面上に形成され、パッドとバンプ電極との間を電気的に接続する接

続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、所定の電位が与えられる接続配線を取り囲むように半導体チップの主面上に電源配線が設けられている。この電源配線は、電流が流れないように構成されている。

【0081】本発明のさらに他の局面に従う半導体パッケージでは、電流の流れないように構成された電源配線によって接続配線が取り囲まれるため、この接続配線は電気的にシールドされ、他の外部接続用配線体からの電気的影響および他の外部接続配線体への電気的影響を防止することができる。

【0082】本発明のさらに他の局面に従う半導体パッケージは、半導体集積回路を有する半導体チップの主面上にパッドを備えた半導体パッケージであって、半導体集積回路は複数のメモリマットと、複数のメモリマットを分割しつつメモリマットを独立して制御するためのマスター周辺回路とを有している。メモリマットは複数のメモリ素子を有している。複数のメモリマットの各々は、パッドから複数のメモリマットの各々に入力される信号の伝達距離が略同一となるように配置されている。テストモード時においてメモリマットから所定数のメモリ素子を選択し、所定数のメモリ素子のロジックの一致／不一致を判別し、その判別結果を出力するコンパレータが、複数のメモリマットのうちのいずれか1つにのみ接続されている。

【0083】本発明のさらに他の局面に従う半導体パッケージでは、バンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一であるため、これらのマットへのアクセス時間も略同一となる。したがって、コンパレータを1つのメモリマットにのみ設けてそのメモリマットのアクセス時間を測定すれば、他のメモリマットのアクセス時間の測定を省略することができ、いわゆる1／0の擬似縮退テストが可能となる。

【0084】本発明のさらに他の局面に従う半導体パッケージは、半導体集積回路を有する半導体チップの主面上に外部の端子との接続のために形成されたバンプ電極と、半導体集積回路との接続のために半導体チップに形成されたパッドと、パッドとバンプ電極との間を電気的に接続する接続配線とで構成された外部接続用配線体を複数備える半導体パッケージにおいて、半導体集積回路は、複数のメモリマットと、複数のメモリマットを分割してかつ各メモリマットを独立して制御するためのマスター周辺回路とを有している。このメモリマットは、複数のメモリアレイと、複数のメモリアレイを分割しつつ各メモリアレイを独立して制御するためのローカル周辺回路とを有している。

【0085】本発明のさらに他の局面に従う半導体パッケージでは、CSP構造やBGA構造のように外部の端子との接続のためにバンプ電極が設けられている。このバンプ電極は、半導体チップの表面全面に配置できる。

このため、階層化され高集積化されたメモリを半導体パッケージに搭載した場合でも、QFPなどのように半導体パッケージの寸法が大きくなったり、リード間に大きな容量が生じることが防止される。

【0086】

【発明の実施の形態】

【実施の形態1】本発明の実施の形態1に係る半導体パッケージとして、下層に形成されたセンスアンプ回路を考慮してバンプ電極の配置を行なったCSPのDRAMパッケージについて説明する。

【0087】一般的に、DRAM等のセンスアンプ回路は、製造時の機械的ストレスや使用時の機械的ストレスなどの外的要因により回路特性の変化を生じやすい脆弱な回路である。一方、バンプ電極の形成時および、バンプ電極のボード実装時にはバンプ電極には機械的なストレスが加わるので、バンプ電極の真下にセンスアンプ回路を配置することは回避しなければならない。

【0088】図1は、本発明の実施の形態1に係る半導体パッケージの構成を概略的に示す平面図であり、CSPのDRAMパッケージのセンスアンプ回路とバンプ電極との位置関係を示す図である。

【0089】図1を参照して、半導体チップ1の正面には、半導体チップ1の内部に造り込まれた種々の入出力端子に接続されるパッド2が形成されている。このパッド2と、ボードとの接続のためのバンプ電極4と、パッド2とバンプ電極4との間を接続する接続配線3とからなる外部との接続のための構成（以後、外部接続用配線体と呼称）が2列に平行に複数段形成されている。

【0090】ここで、半導体チップ1はセンスアンプ回路を有しており、センスアンプ回路が設けられた領域をセンスアンプ領域SRとして示し、メモリセルが設けられた領域をメモリセル領域MRとして示す。通常、センスアンプ領域SRやメモリセル領域MRは絶縁層などに覆われて見えないが、便宜上、実線でその位置を示している。

【0091】図1に示すように、センスアンプ領域SRの上部にはバンプ電極4は設けられていない。バンプ電極4は主に、メモリセル領域MRに形成され、パッド2もセンスアンプ領域SRの上部以外に形成されている。

【0092】バンプ電極4は、センスアンプ領域SRの上部以外であれば任意の位置に形成でき、写真製版により接続配線3が任意の経路をとるよう配線できるので図4に示すような構成を得ることができる。

【0093】センスアンプはトランジスタ対で構成され、ピット線対間の微小電位差を検出して増幅する回路であるので、このように構成することにより、トランジスタ対に機械的なストレスが加わることでトランジスタ対の動作特性がアンバランスになることが防止され、センス動作が低下することを防止することができる。

【0094】また、半導体チップ1が微小電流で動作す

る回路、たとえば定電流源であるカレントミラー回路などのアナログ回路を有しているような場合においても同様であり、アナログ回路が形成されている領域の上部にはバンプ電極4は形成されない構成とする。

【0095】【実施の形態2】本発明の実施の形態2に係る半導体パッケージとして、パッド、接続配線およびバンプ電極を半導体チップ上の任意の位置に形成することができるという特徴を有効に利用したCSPの一例について説明する。

【0096】図2は、本発明の実施の形態2に係る半導体パッケージの構成を概略的に示す平面図である。図2を参照して、半導体チップ1の正面には、半導体チップ1の内部に造り込まれた種々の入出力端子に接続されるパッド2が形成されている。このパッド2と、ボードとの接続のためのバンプ電極4と、パッド2とバンプ電極4との間を接続する接続配線3とからなる外部接続用配線体が2列に平行に複数段形成されている。それぞれの外部接続用配線体を取り囲むように電源配線PLがメッシュ状に形成されている。

【0097】図2においては、電源電圧を供給する電源電位パッドVccに接続されるメッシュと、電源電位となる接地電位パッドVssに接続されるメッシュとに分割されている。なお、写真製版により任意の配線経路を形成できるというCSPの特徴を有効に利用して電源配線PLが形成されるので、メッシュ間隔やメッシュ形状などを任意に設定できることは言うまでもない。

【0098】このように、外部接続用配線体を個々に電源配線PLで囲むことで、半導体チップ1の内部に造り込まれた種々の入出力端子が電気的にシールドされることになる。このため、たとえば隣接するクロック端子においてはノイズ低減を図ることが可能となる。

【0099】また図2に示すように、パッド2の近傍にバンプ電極4を形成することで、接続配線3を短くできるのでワイヤインダクタンスを小さくでき、データ出力端子におけるリンクギングの問題を改善することができる。

【0100】さらに、電源配線PLをメッシュ状に形成することで、半導体チップ1上の各所に電源電位パッドVccおよび接地電位パッドVssを形成できる。これにより、半導体チップ1上の電源インピーダンスを小さくすることが可能となる。従って、複数の半導体パッケージを1つのボード上に搭載するマルチチップモジュールなどに電源の負荷が大きくなるような構成において、電源の負荷を極力低減することができる。

【0101】なお、図2に示した構成においては半導体チップ1上のすべての外部接続用配線体を電源配線PLで取囲んだ例を示したが、必ずしもすべての外部接続用配線体を電源配線PLで取囲む必要はない。たとえばクロック端子、データ入出力端子、リファレンス電圧端子などに接続される外部接続用配線体のみを電源配線PL

40

50

が選択的に取扱むだけでもよい。

【0102】また、電源電位パッドVcc、接地電位パッドVssの双方にメッシュ状の電源配線PLが接続された例を示したが、どちらか一方のみにメッシュ状の電源配線PLが接続されてもよい。

【0103】【実施の形態3】以上説明した本発明の実施の形態1に係る半導体パッケージでは、バンプ電極の形成時および、バンプ電極とボードとの接合時にバンプ電極に機械的なストレスが加わることを考慮して、センスアンプ回路の上部にはバンプ電極を配置しないCSPのDRAMについて説明したが、本発明の実施の形態3に係る半導体パッケージでは、機械的なストレスを低減できるCSPの構造について説明する。

【0104】図3は、一般的なCSPのバンプ電極が形成された領域の部分断面図を示している。図3を参照して、半導体集積回路などが造り込まれた基板1の上にはパッド2が設けられている。このパッド2を覆うように全面にわたってバッシベーション膜6が形成されている。

【0105】パッド2の主面上には部分的にバッシベーション膜6が存在せず、接続配線3が接触するように設けられている。接続配線3はパッド2の主面上からバッシベーション膜6の表面にかけて形成され、バッシベーション膜6の表面上の所定の方向に延在している。バッシベーション膜6の主面上には接続配線3を覆うように、全面にわたって層間絶縁膜としてのポリイミド樹脂7が形成されている。このポリイミド樹脂7の主面上には全面にわたってモールド樹脂(エポキシ樹脂)5が形成されている。接続配線3には部分的にポリイミド樹脂7およびモールド樹脂5が形成されていない領域があり、その部分にパリアメタル層を介在してバンプ電極4が形成されている。

【0106】このような構造のCSPにおいては、バンプ電極4を形成するときや、バンプ電極4をボードに実装する場合にバンプ電極4直下の半導体チップに機械的なストレスが加わることになる。半導体チップにストレスが印加された場合、半導体チップに造り込まれた半導体素子において、たとえばトランジスタ特性の変化が生じたり、リーク電流が誘発されることは一般的に知られている。

【0107】図4は、本発明の実施の形態3に係る半導体パッケージとして、バンプ電極4の直下にストレス緩和のためのバッファコートを有するCSPの部分断面図を示している。

【0108】図4を参照して、本実施の形態では、バンプ電極4の直下において接続配線3とバッシベーション膜6との間にストレス緩和材としてバッファコート8が選択的に形成されている。なお、これ以外の構成については図3に示す一般的なCSPと同様であるため、同一の部材については同一の符号を付し、その説明を省略す

る。

【0109】バッファコート8は、たとえばポリイミド樹脂などの材質よりなり、バッシベーション膜6の全面にスピンドルコート法によってポリイミド樹脂を塗布した後、写真製版によって選択的に形成される。したがって、バッファコート8は、接続配線3やパッド2と同様に任意の位置に形成することが可能となる。

【0110】バッファコート8が存在することにより、バンプ電極4を形成するときや、バンプ電極4をボードに実装する際に、バンプ電極4直下の半導体チップ1に加わる機械的なストレスが緩和される。従って、この機械的なストレスに起因して半導体素子の特性が劣化することが防止される。

【0111】以上説明したバッファコート8を有するCSPを、図1を用いて説明した実施の形態1に適用することで、センスアンプ回路を保護してセンスアンプ回路に加わるストレスをさらに低減することができ、回路特性の変化を防止することができる。

【0112】また、図2を用いて説明した実施の形態2に適用することで、下層の半導体素子に機械的なストレスが加わる可能性が低減する。このため、バンプ電極の配置の自由度が増し、より複雑な電源配線の形成も可能となる。

【0113】【実施の形態4】図5は、本発明の実施の形態4に係る半導体パッケージの構成を示す概略平面図であり、階層構成による大容量DRAMのチップイメージを示したものである。また図6は、図5図中左上のマット(斜線部分)を拡大した概略平面図である。

【0114】図5と図6とを参照して、半導体チップ1は、たとえば4つのマット12と、この各マット12を制御するマスター周辺回路11とを有している。このマスター周辺回路11は、各マット12の間に十文字のように配置されている。各マット12は、メモリアレイ14と、対応するメモリアレイ14を制御するためのローカル周辺回路13とを有している。

【0115】特に図5を参照して、マスター周辺回路11の形成領域内には、入力バッファ回路(図示せず)が形成されている。この入力バッファ回路に、パッドおよびフレーム配線(図示せず)を介在して電気的に接続される入力用のバンプパッド4が形成されている。この入力用のバンプパッド4は、入力バッファ回路の近傍上に形成されている。

【0116】バンプパッド4は、図7に示すように、入力バッファ回路を通じて、マスター周辺回路内の入力信号レベル変換回路11aに接続されている。またこの入力信号レベル変換回路11aと各マット内のローカル周辺回路13とは、各々半導体チップ1の主面上に形成されたフレーム配線3によって電気的に接続されている。

【0117】なお、入力用のバンプパッド4は、フレーム配線なしで、直接、パッドに接続されていてもよい。

21

【0118】特に図6を参照して、ローカル周辺回路13の形成領域内には、出力バッファ回路(図示せず)が設けられている。この出力バッファ回路に、パッド2およびフレーム配線3を介在して出力用のバンブパッド4が電気的に接続されている。この出力用のバンブパッド4は、出力バッファ回路の近傍上に形成されている。

【0119】なお、入力用のバンブパッド4も、フレーム配線3なしで、直接、パッド2に接続されていてよい。

【0120】次に、この半導体パッケージ内における信号の伝達について説明する。まずマスター周辺回路11内に配置された入力用のバンブパッド4に外部から入力信号が与えられる。この入力信号はマスター周辺回路11内において、入力バッファ回路を通じて入力信号レベル変換回路11aに入力される。これによって、入力信号はチップ内部電源レベルに変換され、マスタ信号としてCSPのフレーム配線3(通常パッケージのワイヤリングに相当)により各マット12に伝達される。この信号は、各マット12の中央付近に配置されているローカル周辺回路13に入力される。この後、信号はローカル周辺回路を経てメモリアレイ14に入力される。

【0121】各マット12のメモリアレイ14から出力されるデータは、各マット12のローカル周辺回路13に配置された出力バッファ回路へ短いデータバスにより伝達される。出力データは、各ローカル周辺回路上であってメモリアレイ14近傍上に配置された出力用のバンブパッド4より外部へ出力される。

【0122】本実施の形態では、バンブ電極4が、接続されるべき入力バッファ回路もしくは出力バッファ回路の近傍上に設けられている。このため、バンブパッド4から入力バッファ回路もしくは出力バッファ回路までの配線経路を短くすることができる。よって、バンブパッド4と入力バッファ回路もしくは出力バッファ回路との間での信号伝達の遅延を防止することができる。したがって、半導体メモリなどが大容量化されても高速動作を維持することができる。

【0123】また、配線経路を短くできるためアドレスセットアップやホールドマージンも改良される。以下、そのことについて詳細に説明する。

【0124】図8は、アドレス信号のセットアップ時間およびホールド時間を例示的に示す図であり、データ読出動作時における外部制御信号に要求されるセットアップ時間およびホールド時間を示している。DRAMにおいては、行アドレス信号と列アドレス信号とは時分割的に与えられる。ここでは行アドレス信号についてのみ説明する。

【0125】図8を参照して、アドレス信号に対しては、ローワードレスストローブ信号/RASの立下がり前に行アドレス信号を確定状態とするためRAS前行アドレス・セットアップ時間 t_1 が規定され、外部ローワードレス・セットアップ時間 t_2

10

20

30

40

50

22

ドレスストローブ信号/RASの立下がり後その行アドレス信号を維持するRAS後行アドレス・ホールド時間 t_3 が規定される。このRAS後行アドレス・ホールド時間 t_3 完了後、DRAMにおいては内部で行選択動作が開始される。

【0126】ここで、本実施の形態では、バンブ電極と入力/出力バッファ回路との配線経路を短くできるため、信号の伝達は時間Tだけ早くなる。つまり、ロウアドレスストローブ信号/RASの立下がりが時間Tだけ早くなる。このため、RAS前行アドレス・セットアップ時間 t_4 が t_1 へ移行する。つまり、セットアップ時間が短縮化される。またRAS後行アドレス・ホールド時間 T_3 が T_1 へ移行する。つまり、ホールド時間のマージンが増える。

【0127】また本実施の形態においては、出力用のバンブパッド4がローカル周辺回路13上に配置できる。このため、出力用のバンブパッド4に電気的に接続される出力バッファ回路もメモリアレイ14近辺のローカル周辺回路13内に配置できる。よって、図9に示すように、各マット12のメモリアレイ14より読出されたデータは、近辺に位置する出力バッファまで短いデータバス16で転送されることになる。従って、アクセスが高速化され、各データ信号の位相ずれ、すなわちデータスキーが低減される。また、この構成では多ビット構成でもデータバス16を短くできるので、多ビット化によりアクセスなどが劣化することはない。

【0128】また、マスター周辺回路11の形成領域上に設けられた入力用のバンブパッド4に対して複数のマット12の各々が対称に配置されている。また入力用のバンブパッド4から各マット12のローカル周辺回路13へ延びる配線(フレーム配線3を含む)の各々は、入力用のバンブパッド4に対して対称形状を有している。すなわち、入力用のバンブ電極4から複数のマット12の各々へ入力される信号の伝達距離は略同一である。このため、同一の入力用のバンブパッド4から各マット12へ入力される信号の位相ずれ、すなわちスキーを非常に小さくすることができる。理想的には、すべてのマット12に対してマスター周辺回路11からの制御をすべて均一にすることができる。

【0129】またマスター周辺回路11とローカル周辺回路13との接続の大部分は、フレーム配線3によってなされる。このフレーム配線3は、半導体チップ1の主面上に形成される。半導体チップ1の主面上には、素子や回路などは形成されないため、フレーム配線3の線幅を大きく確保することができる。また、フレーム配線の材料に対する制約も少ないため、配線に適した材料を選択することもできる。よって、半導体チップ内に形成される配線と比較して、フレーム配線3のインピーダンスは非常に小さくできる。それゆえ、非常に小さい信号の遅延時間でマスター周辺回路11から各マット12のロ

ーカル周辺回路13へ信号が転送される。またフレーム配線3により、マスター周辺回路11とローカル周辺回路13とが電気的に接続されているため、時定数を大幅に低減することができる。

【0130】なお、図5では、フレーム配線3が交差する場合がある。この場合には、図10や図11、図12に示す構成にすることで各フレーム配線の絶縁が保たれる。この構成について以下に説明する。

【0131】図10は、2つのフレーム配線が異なる層上に形成された場合の構成を示す概略断面図である。図10を参照して、上層のフレーム配線3cは、下層のフレーム配線3b上にポリイミド樹脂7aを介在して形成されている。このように異なる層上にフレーム配線3b、3cを形成することにより、2つのフレーム配線3b、3cが平面的に交差する場合でも、この2層のフレーム配線3b、3cの絶縁が保たれる。

【0132】なお、フレーム配線3cは、ポリイミド樹脂7bにより覆われている。図11と図12とは、2つのフレーム配線が同一層上に形成されている場合の構成を示す概略斜視図と概略断面図である。図11と図12とを参照して、2つのフレーム配線3b、3cの交差部において、一方のフレーム配線3bがチップ内の配線層2aに電気的に接続されて他方のフレーム配線3cの下側をくぐる構成、すなわちクロスアンダーの構成を有している。このクロスアンダーの構成を有することにより、2つのフレーム配線3b、3cが平面的に交差する場合でも、2つのフレーム配線3b、3cの絶縁が保たれる。

【0133】なお、図10と図11、12とに示す上述した以外の構成については、図3と図4とに示す構成とほぼ同様であるため、同一の部材については同一の符号を付し、その説明を省略する。

【0134】【実施の形態5】図13は、本発明の実施の形態5に係る半導体パッケージにおけるマットの構成を概略的に示す平面図である。図13を参照して、CSPによりバンブパッド4の配置に制限がないため、各マット12は、自由な位置に電源を供給するバンブパッド4c～4eを有することができる。

【0135】このため、たとえば各マット12のローカル周辺回路13や出力バッファ回路への電源を供給する電源パッド4c～4eを各々、出力バッファ回路やローカル周辺回路の近傍上に配置することができる。これにより、電源パッド4c～4eとそれに接続される出力バッファ回路やローカル周辺回路との配線経路が短くなるため、電源ノイズの小さい安定した低インピーダンス電源を実現することができる。

【0136】【実施の形態6】図14は、本発明の実施の形態6に係る半導体パッケージにおいて、マットセレクト機能としてデコーダを用いた場合の制御ブロック図である。図14を参照して、本実施の形態においては、

マットセレクト機能としてたとえばデコーダ22がマスター周辺回路部分に設けられる。このデコーダ22へは、入力バッファ回路21を介在してマットセレクト信号MSが入力される。この入力された信号MSの組合せにより、各マットM1、M2、M3、M4が選択される。

【0137】このチップセレクト機能22により、たとえば各マットM1、M2、M3、M4のうちいずれか1つを選択することができる。

【0138】またたとえば、各マットM1、M2、M3、M4の組合せを選択することができる。具体的には、チップ全体を1MDRAMとすると、マットセレクト機能22で、512MDRAMを2個にしたり、また256MDRAMを4個にしたりして自由にメモリ構成を可変にできる。つまり、メモリ構成を、あたかもピットサイズが可変なモジュールのように構成することができる。

【0139】なお、マットセレクト機能22により非選択とされるマットについては、そのマットのローカル周辺回路への電源供給が断たれる。このため、非選択のマットに所定の電圧を印加してスタンバイ状態とする場合に比較して、消費電力を低減することができる。

【0140】なお、マットセレクト機能22は、CSPのバンブパッドにより外部からマットセレクト信号MSを与えることで実現することができる。またバンブパッドを設けない場合には、CSPの半導体チップ上に形成されたフレーム配線にこのマットセレクト信号MSを与えることでマットセレクト機能を制御することができる。

【0141】【実施の形態7】ISSCC91 Dig. of Tech papers pp.108～109に示されているように、DRAMのセンスアンプ用電源線をメッシュ状にメモリアレイ上に配置することで電源インピーダンスを低減させて高速センス動作を実現させることができる。しかしこの場合、メッシュ状に配置されるセンスアンプ用電源線には、半導体チップ内に形成されたアルミニウム配線が用いられる。またこの場合、下層（1層目）のアルミニウム配線はワード線のシャントに用いられ、上層（2層目）のアルミニウム配線は、センスアンプ用電源線とコラム出力線とに用いられている。

【0142】上記構成では、集積度が上るにつれて、センスアンプ用電源線の本数が多くなるため、2層目のアルミニウム配線のピッチが厳しくなる。このため、センスアンプ用電源線の線幅が小さくなることでそのインピーダンスが上昇したり、コラム選択線の線間容量が増加したりして、信号伝達の遅延が生ずる。

【0143】図15は、本発明の実施の形態7における半導体パッケージにおけるフレーム配線の配置の様子を例示的に示す平面図である。また図16は、図15のP部におけるフレーム配線とセンスアンプ用のVccとV

s s 電源線との配置の様子を示す平面図である。

【0144】図15と図16とを参照して、本実施の形態においては、半導体チップ1内に形成された電源線（Vcc配線およびVss配線）と半導体チップの1主面上に形成されたフレーム配線3f、3gとが、メッシュ状に配置されている。またフレーム配線3fとVss配線とは接触部41において電気的に接続されており、フレーム配線3gとVcc配線とは接触部42において電気的に接続されている。またフレーム配線3fと3gとは、各々異なるパンプバッド4に電気的に接続されている。これにより、フレーム配線3fには、Vssの電位が与えられ、フレーム配線3gにはVccの電位が与えられるよう制御される。

【0145】なお、電源線（Vcc配線とVss配線）は、センスアンプ領域18内に形成されたセンスアンプ18に電気的に接続されている。このセンスアンプ領域18はメモリアレイ14と隣接するように設けられている。

【0146】このように、CSPのフレーム配線を利用して、センスアンプ用電源線（Vcc配線とVss配線）の強化が行なわれている。このフレーム配線3f、3gは、半導体チップ1の主面上に形成されるものであり、半導体チップ1上には、素子などは形成されない。このため、フレーム配線3f、3gの配置の自由度は、半導体チップ内に設けられたアルミニウム配線層などに比較すると非常に高い。このため、集積度が上がっても、このフレーム配線層のインピーダンスの上昇は抑制でき、かつコラム選択線の線間容量の増加も抑制できる。

【0147】また、フレーム配線を設けないで、図17に示すようにパンプバッド4f、4gを、各々センスアンプ用電源線（Vss配線、Vcc配線）に直接、電気的に接続してもよい。この場合、フレーム配線を省略することができるため、より電源インピーダンスを低減することができる。

【0148】【実施の形態8】ウェーハプロセスが完了した時点では、CSPプロセスが実施されていないのでフレーム配線のない状態でウェーハテストが実施される必要がある。このウェーハテストでは、プローピングのための従来のポンディングバッドが必要となる。この場合、すべての入力、出力、電源用ポンディングバッドを配置することは、チップ面積のことを考慮すると、上記実施例に挙げてきたメリットをすべて打消すことになる。

【0149】この対策として、本実施の形態では、ロジックなどで用いられるスキャンテストとBIST（ビルトインセルフテスト）の組合せ（スキャン-BISTテスト）により、最小限のポンディングバッドでウェーハテストを実施する構成を有している。この場合のウェーハテストでは、厳しいタイミングのテストなどを実施せず、ファンクション動作テストとDCテストだけの簡単なテ

ストが実施されればよい。

【0150】なお、スキャンテストについては、たとえばMiron Abramovici et. al., "Digital System Testing and Testable Design" (Computer Science Press 出版, 1990年発行) などに示されている。

【0151】また、BISTについては、たとえばYervant Zorian et.al., "An Effective BIST Scheme for Ring-Address Type FIFOs" Proceedings of 1994 International Test Conference, Paper 17.2, pp 378-387や、Hirotaki Koike et.al., "A BIST SCHEME MICROGRAM ROM FOR LARGE CAPACITY MEMORIES" Proceedings of 1990 International Test Conference, Paper 36.1, pp 815-822や、T.Takeshima et.al., "A 55ns 16Mb DRAM" 1989 ISSCC Dig. Tech. Pap. Vol.32FAM16.5 pp. 246-247 (1989)に示されている。

【0152】図18を参照して、本実施の形態におけるスキャン-BISTテストでは、Vdd、Vss、Vdq、Vssq、TE、Qの最低6つポンディングバッド36があればウェーハテストを実施することができる。ここでVdd、Vssは周辺回路用電源であり、Vdq、Vssqは出力バッファ用電源であり、TEはスキャン-BISTテストを実施するための信号であり、Qはテスト結果のフラグ出力である。

【0153】次に、本実施の形態におけるウェーハテストについて詳細に説明する。図19は、本発明の実施の形態8における半導体パッケージのウェーハテストを説明するためのブロック図である。図19を参照して、まず上記ポンディングバッドの1つにTEの信号が入力される。TEが活性化すると半導体チップの内部に設けられた発振器31が活性化して、DRAMの基本クロックRAS、CAS、R/W、OEなどが基本クロックジェネレーター32によって発生される。またテストパターンもテストパターン発生回路33によって自動的に発生される。またアドレスもカウンタ回路によって順次インクリメントされるよう、すなわち順次アドレス番号がずれしていくよう発生される。

【0154】これらの信号は、マスター周辺回路11を動作させ、次いでローカル周辺回路13を動作させ、メモリアレイ14を活性化させ、リード/ライト動作を行なう。メモリアレイ14からのデータについては、書込まれたデータと読み出されたデータとの一致検出が行なわれ、バス/ファイルのフラグが出力される。

【0155】なお、シフトレジスタ34は、テストパターン信号および内部アドレス信号の双方を順次記憶し、かつ出力するためのものである。またシフトレジスタ35は、各メモリアレイ14のテストデータのバス/ファイルを順次記憶し、かつ出力するためのものである。

【0156】本実施の形態においては、半導体チップ内において基本クロックジェネレーター32によって制御信号を、またテストパターン発生回路33によってテス

トバターンおよび内部アドレス信号を、各々発生させることとしたため、外部からこれらの信号を与えるためのボンディングパッドを省略することができる。

【0157】また、シフトレジスタ35により、1つの出力用のパッドQに複数のテストデータのバス/フェイ儿を順次出力することができる。このため、テスト結果のフラッグ出力用のボンディングパッド9は1つで足りるため、半導体チップのボンディングパッド数を減らすことができる。

【0158】上記のスキャナーBISTテストでは、不良のアドレスはわからない。しかし、内部アドレス信号と各メモリアレイ14からのバス/フェイ儿とを入力することにより各メモリセルの不良アドレスを判別し、記録する手段(たとえばシフトレジスタ)をさらに備えることにより、パッドQに不良アドレスをパケットで出力することができる。また外部にデコーダを設ければ、不良アドレスも判別でき冗長試験が可能になる。

【0159】なお本発明の実施の形態4では、各マットのローカル周辺回路とマスター周辺回路とはフレーム配線で接続されるが、ウェハテスト段階ではフレーム配線がないので、仮のアルミニウムによる配線で接続しておく必要がある。この場合、時定数はウェハテストの緩いタイミングテストをクリアできればよい。また各マット部の出力データをボンディングパッド9に接続する配線も必要になる。さらに各マット周辺回路とマスター周辺回路との電源も接続する配線が必要である。

【0160】これらの配線はCSPプロセス後には不要になるため、TE信号などで接続を電気的に切離せるようにすればよい。またこれらの仮のアルミニウム配線によるチップ面積の増大はほとんどない。

【0161】【実施の形態9】実施の形態8では、最小信号入力の構成例について説明したが、他の構成例として、たとえばCLKピンを設けて、基本クロックを外部から与える方式や、アドレスパッドを追加してアドレスまで与える方式や、不良アドレスを出力するパッドを設ける方式などいろんな変形が可能である。

【0162】【実施の形態10】外部ピンにVref(リファレンス電位)ピンなどがあつてVrefにノイズが乗ることを避けなければならぬ場合、Vrefのフレーム配線を電源のフレーム配線でシールドすることが実施の形態2に示されている。しかし、Vrefのフレーム配線をシールドする電源線に電流が流れた場合、Vrefのフレーム配線に電流ノイズが生ずることを考慮する必要もある。

【0163】このVrefに大きなノイズが乗ることを回避する方法としては、電流の流れない(フレーム配線に先に電流の消費する回路などが接続されていないもの)電源線でVrefのフレーム配線をシールドする方法がある。このように電流の流れない電源線でVrefのフレーム配線をシールドする構成は、実施の形態2

(図2)で述べたように簡単に構成することができる。【0164】【実施の形態11】図20は、本発明の実施の形態1に係る半導体パッケージの概略平面図である。図20を参照して、CSPでは、フレーム配線が接続されているか否かにかかわらず、パッケージの表面全面に複数のバンブパッド端子を各々分離して配置することができる。このように導電性のバンブパッド端子を全面に配置することによって、パッケージの放熱性を高めることができ、それによって熱抵抗を下げることができる。

【0165】また電気的に使用しないバンブパッドの表面を絶縁コートして、ボードとの間に絶縁性を保つことも可能である。

【0166】なお、このバンブパッド端子は、パッケージの表面のみならず裏面に配置されてもよい。このようにパッケージの表面および裏面の双方にバンブパッドを設けることにより、さらにパッケージの放熱性を高めることができる。

【0167】【実施の形態12】通常、メモリは大容量化するに伴いテスト時間が増大するため、たとえばラインテストや多ビット並列テストなどのテストモードが導入されている。この場合、すべてのテストがテストモードで代用できるわけではない。

【0168】たとえば図21に示すようにテストモードが導入される場合には、これを実現するためのテスト回路53を設ける必要がある。このため、テスト時のアクセス経路はテスト回路53を通る矢印Aで示す経路となる。これに対して、通常のアクセス時には、デコーダ51とI/O回路52を通る、矢印Bで示す経路となる。

【0169】このように通常アクセス時とテスト時とのアクセス経路が異なるため、アクセスタイムの測定などには、テストモードが使えなかった。

【0170】一方、大容量化に伴い多ビット化が進められるが、この場合、I/O当りのビット数は大きくならない。このため、テスト時間の増大は抑えられるが、テストする場合のコンバレータの数が多数必要になり、テストによる同時測定の個数に制限がかかりテスト効率は劣化する。この対策として各I/Oに出力されるデータを縮退して、1つのI/Oに出すことによってテスト効率を向上させる方式が採られていた。

【0171】しかしながら、この構成でも通常出力の場合と縮退I/Oの場合とのアクセス経路が異なる。

【0172】一方、本実施の形態4において説明したチップ構成では、図5に示すように各マット12が、入力バンブ電極4に対して対称に配置されている。また図5に示す半導体集積回路がたとえば1GDRAMであつて16Mbit×64構成の場合、各マット12の各々は16Mbit×16構成となり、同一構成を有する。このように各マット12の各々が対称に配置され、かつ同

一構成を有しているため、各マット12へのアクセスタイムは略同一となる。よってアクセスタイムを測定する場合には、1つのマット12だけアクセスタイムを測定すれば、他のマットのアクセスタイムを測定する必要はない。よって、複数のマット12のうちいずれか1つのマット12にのみ、図22に示すようにコンパレータ54が接続されればよく、コンパレータの数は1/4で済む。

【0173】このようにアクセス経路を同一にして、I/Oの擬似縮体テストが可能になれば、DRAMの大容量が進んだとしても、アクセスタイムなどの測定テストが容易に実現できる。

【0174】【実施の形態13】一般的に、メモリを搭載した半導体パッケージのピン数はロジックを搭載したものに比較して少なかった。このため、メモリは、これまでDIP(Dual-In Line)に代表されるように半導体パッケージの2側面からビンの突出したタイプの半導体パッケージに搭載されていた。

【0175】しかし、今後、メモリの高集積化により、メモリのピン数は増加する。このため、このように高集積化されたメモリについては、QFP(Quad Flat Pack age)のような半導体パッケージの4側面からビンの突出したタイプの半導体パッケージに搭載することが考えられる。

【0176】ところが、このQFP等を用いても、メモリが実施の形態4で説明したように階層化により高集積化がさらに進められた場合には、以下の問題点が生じる。

【0177】まず階層化により、メモリに必要なピン数がさらに増加するため、多数のリードが必要となり、必然的に半導体パッケージの寸法が大きくなってしまう。

【0178】また、半導体パッケージの寸法の増大を抑制すべく、リード間のピッチを小さくすると、リード間に大きな容量が生じてしまう。

【0179】そこで、本実施の形態では、これらの問題を解決できるCSP構造以外の半導体パッケージを示す。

【0180】図23は、BGA構造の半導体パッケージの構成を概略的に示す断面図である。図23を参照して、半導体チップ101は、ダイ・ポンディング・エボキシ107によってプリント配線基板105に接着されている。この半導体チップ101のパッド(図示せず)はプリント配線基板105の表面に設けられた基板配線103bに、ポンディングワイヤ103aを通じて電気的に接続されている。基板配線103bは、プリント配線基板105に設けられたスルーホール106を通じて裏面に位置するハンダ・バンブ104に電気的に接続されている。プリント配線基板105の裏面であって、ハンダ・バンブ104が形成されている領域以外にはソルダーレジスト108が形成されている。半導体チップ1

01とポンディングワイヤ103aと接続配線103bとがモールド材109によって封止されている。

【0181】なお、プリント配線基板105は、図24に示す複数の導電層105a～105dが、図25に示すように絶縁層105e～105iを間に挟んで積層された多層構造を有している。またスルーホール106内には、埋込導電層111が埋込まれている。

【0182】なお、導電層105aと105dとは、スルーホール106が設けられる領域以外の全面に形成されており、GND電位とされる。

【0183】BGA構造の半導体パッケージは、バンブ電極(ハンダ・バンブ)104によりボードに電気的に接続される点においてCSP構造の半導体パッケージと共通する。

【0184】CSP構造の半導体パッケージは、半導体チップと同程度の寸法を有している。この半導体チップのサイズは、各社で異なる。このため、各社のCSP構造の半導体パッケージの寸法を標準化することは難しい。これに対して、BGA構造の半導体パッケージは、プリント配線基板105を用いているため、このプリント配線基板105により各社の半導体パッケージの寸法を標準化することが容易となる。

【0185】またCSP構造の半導体パッケージでは、半導体基板の素子などが形成される面上にバンブ電極が形成されるため、素子に応力がかかりやすい。これに対して、BGA構造の半導体パッケージでは、素子が形成される面の裏面側にバンブ電極(ハンダ・バンブ)104が設けられるため、素子に応力がかかりにくい。

【0186】また、プリント配線基板には、GND電位を有する導電層105aと105dとが全面に形成されるため、これらの導電層105aと105dとに挟まれる導電層105b、105cは、他の導電部分に対して電気的にシールドされることになる。よって、導電層105b、105cのノイズ低減を図ることが可能となる。

【0187】次に、このようなBGA構造の半導体パッケージに搭載される半導体チップの構成について説明する。

【0188】図26は、本発明の実施の形態13における半導体パッケージに搭載される半導体チップの平面レイアウトを示す概略平面図である。図26を参照して、半導体チップ101は、たとえば4つのマット112と、この各マット112を制御するマスター周辺回路111とを有している。このマスター周辺回路111は、各マット112の間に十文字のよう配列されている。

【0189】なお、図26中においては、説明の便宜上、マスター周辺回路111は、十文字の中央部に位置するよう示している。

【0190】各マット112は、メモリアレイ114と、対応するメモリアレイ114を制御するためのロー

カル周辺回路113とを有している。

【0191】この4つのマット112とマスター周辺回路111との形成領域の外周領域であって半導体チップ101の主表面に複数個のパッド102a、102bが設けられている。パッド102aは、チップ全体を制御する信号を入力するためのパッドであり、マスター周辺回路111に直接接続されている。このパッド102aは、半導体チップ101の外周領域であって、マスター周辺回路111からの距離が最短となる位置に配置されている。このため、パッド102aからマスター周辺回路へ入力される信号の劣化は防止される。

【0192】またパッド102bは、各マットを制御する信号を入出力するためのパッドであり、ローカル周辺回路113に直接接続されている。このパッド102bは、すべてのパッド102bからローカル周辺回路113とを結線する各配線が略同一の配線長となるように配置されている。このため、各パッド102bとローカル周辺回路との間を伝達される各信号の位相ずれ、いわゆるスキーを非常に小さくすることができる。

【0193】なお、各パッド102a、102bが、半導体チップ101の外周領域に配置されているのは、図23に示すようにBGA構造の半導体パッケージではボンディングワイヤ103aによりパッドと基板配線103bとが接続されることに起因している。

【0194】複数のマット112の各々は複数のマスター周辺回路111の位置に対して対称となるように配置されている。また複数のマット112の各々と複数のパッド102a、102bの各々は、半導体チップ101の中心部に対して対称となるように配置されている。このため、マスター周辺回路から各マット112に入力される信号の伝達距離を同一とすることが容易となる。

【0195】またマット112内において、複数のメモリアレイ114の各々はローカル周辺回路113の位置に対して対称となるように配置されている。また、マット112内の複数のメモリアレイ114の各々はマット112の中心点に対して対称となるように配置されている。このため、ローカル周辺回路113から各メモリアレイ114に入力される信号の伝達距離を同一とすることが容易となる。

【0196】本実施の形態の半導体パッケージでは、BGA構造を採用しているため、外部の端子との接続のためにハンダ・バンプ104が設けられている。このハンダ・バンプ104は、半導体チップ101の表面全面に配置できる。このため、図26に示すように階層化され高集積化されたDRAMのメモリを半導体パッケージに搭載した場合でも、QFPなどのように半導体パッケージの寸法が大きくなったり、リード間に大きな容量が生じたりすることが防止される。

【0197】またパッド102bとローカル周辺回路113の出力バッファとを接続する配線125およびパッ

ド102bとローカル周辺回路113の出力バッファ122とを接続する配線は、図27に示すように半導体チップ101内において半導体基板121の表面から最も上層に配置されている。このため、配線125は、メモリアレイ114内の各メモリ素子に接続される配線123、124よりも上層に形成されることになる。このため、これらの配線125は、パッド102a、102bから接続されるべき位置へ直線で最短距離で配置することができる。よって、配線層125内でのデータの劣化は防止される。

【0198】また実施の形態6で説明したように、マットセレクト機能としてデコーダを用いることにより、各マット112の中から特定のマット112を選択することができる、また所定数のマット112の組合せを選択することができる。具体的には、チップ全体を1MDRAMとすると、マットセレクト機能で、512MDRAMを2個にしたり、また256MDRAMを5個にしたりして自由にメモリ構成を可変にできる。つまり、メモリ構成を、あたかもビットサイズが可変なモジュールのように構成することができる。

【0199】なお、マットセレクト機能により非選択とされるマット112については、そのマット112のローカル周辺回路113への電源供給が断たれる。このため、非選択のマット112に所定の電圧を印加してスタンバイ状態とする場合に比較して、消費電力を低減することができる。

【0200】また本実施の形態に係る半導体パッケージでは、図28に示すように半導体チップ101のパッド102a、102bに電気的に接続されているか否かにかかわらず、パッケージの表面全面に複数のハンダ・バンプ104を各々分離して配置することができる。このように導電性のハンダ・バンプ104が全面に配置されることによって、パッケージの放熱性を高めることができ、それによって熱抵抗を下げることができる。

【0201】なお、図28は、図23の矢印A方向から見た半導体パッケージの平面図である。

【0202】なおパッドに電気的に接続されないハンダ・バンプ104は、図29に示すようにプリント配線基板105の表面上に導電層112を介在して形成されればよい。

【0203】また電気的に使用しないハンダ・バンプ104の表面を絶縁コートして、ボードとの間に絶縁性を保つことも可能である。

【0204】また本実施の形態の半導体チップ構成では、図26に示すようにマット112が、マスター周辺回路111に対して対称に配置されており、かつ各マット114が同一の構成を有している。このため、実施の形態12で説明したように、1つのマット112にのみ図22に示すようにコンバレータ54を接続することによって、各マット112へのアクセスタイムを測定する

ことができる。

【0205】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0206】

【発明の効果】本発明の一の局面に従う半導体パッケージでは、パンプ電極は、脆弱回路が設けられた領域の上部以外に形成されているため、機械的にストレスがパンプ電極を介して脆弱回路に加わることが防止される。

【0207】本発明の他の局面に従う半導体パッケージでは、複数の外部接続用配線体の少なくとも一部を個々に取囲むように電源配線が設けられているため、電源配線によって取囲まれた外部接続用配線体は電気的にシールドされ、他の外部接続用配線体からの電気的影響、および他の外部接続用配線体への電気的影響を防止することができる。

【0208】本発明のさらに他の局面に従う半導体パッケージでは、パンプ電極が、入力／出力バッファ回路の近傍上に設けられているため、パンプ電極から入力／出力バッファ回路までの配線経路を短くできる。よって、パンプ電極と入力／出力バッファ回路との間の信号伝達の遅延を防止できる。したがって、半導体メモリなどが大容量化されても高速動作を維持することができる。また、配線経路を短くできるため、アドレスセットアップやホールドマージンを改良することができる。

【0209】本発明のさらに他の局面に従う半導体パッケージでは、メモリ素子の不良アドレスを判別し記録する手段を有するため、不良アドレスをパケットで出力することができる。

【0210】本発明のさらに他の局面に従う半導体パッケージでは、電流の流れないように構成された電源配線によって接続配線が取囲まれるため、この接続配線は電気的にシールドされ、他の外部接続用配線体からの電気的影響および他の外部接続用配線体への電気的影響を防止することができる。

【0211】本発明のさらに他の局面に従う半導体パッケージでは、パンプ電極から複数のメモリマットの各々に入力される信号の伝達距離が略同一であるため、これらのマットへのアクセス時間も略同一となる。したがって、コンバレータを1つのメモリマットにのみ設けてそのメモリマットのアクセス時間を測定すれば、他のメモリマットのアクセス時間の測定を省略することができ、いわゆるI／Oの擬似縮退テストが可能となる。

【0212】本発明のさらに他の局面に従う半導体パッケージでは、CSP構造やBGA構造のような外部の端子との接続のためにパンプ電極が設けられている。このパンプ電極は、半導体チップの表面全面に配置できる。

このため、階層化され高集積化されたメモリを半導体パッケージに搭載した場合でも、QFPなどのように半導体パッケージの寸法が大きくなったり、リード間に大きな容量が生じることが防止される。

【図面の簡単な説明】

【図1】 本発明の実施の形態1における半導体パッケージの構成を概略的に示す平面図である。

【図2】 本発明の実施の形態2における半導体パッケージの構成を概略的に示す平面図である。

【図3】 一般的なCSPの構成を示す部分断面図である。

【図4】 本発明の実施の形態3における半導体パッケージの構成を概略的に示す部分断面図である。

【図5】 本発明の実施の形態4における半導体パッケージの構成を概略的に示す平面図である。

【図6】 図5のマットを拡大して示す概略平面図である。

【図7】 パンプパッドからローカル周辺回路までの接続状態を示すブロック図である。

【図8】 アドレスセットアップがホールドマージンを示す図である。

【図9】 図5のマット部を拡大して示す概略平面図である。

【図10】 フレーム配線層が互いに異なる層上に形成されている場合の部分断面図である。

【図11】 いわゆるクロスアンダーで構成されるフレーム配線層の構成を示す概略斜視図である。

【図12】 いわゆるクロスアンダーで構成されるフレーム配線層の構成を示す部分断面図である。

【図13】 本発明の実施の形態5における半導体パッケージのマットを拡大して示す概略平面図である。

【図14】 マットセレクト機能を説明するためのブロック図である。

【図15】 本発明の実施の形態7における半導体パッケージのフレーム配線の構成を概略的に示す平面図である。

【図16】 図15のP部を拡大して示す部分平面図である。

【図17】 パンプパッドが直接センスアンプ用電源線に電気的に接続されている様子を示す部分平面図である。

【図18】 本発明の実施の形態8における半導体パッケージにおいて、特にボンディングパッドの配置状態を示す概略平面図である。

【図19】 本発明の実施の形態8における半導体パッケージのスキャン／BISTテストを説明するためのブロック図である。

【図20】 本発明の実施の形態11における半導体パッケージにおいて、特にパンプパッドの配置の様子を示す概略平面図である。

【図21】 テストモードが導入された場合に通常アクセスとテスト時のアクセス経路が異なることを説明するためのブロック図である。

【図22】 マットにコンパレータが接続された様子を示すブロック図である。

【図23】 本発明の実施の形態13におけるBGA構造の半導体パッケージの構成を概略的に示す断面図である。

【図24】 プリント配線基板105を構成する各導電層の構成を示す概略斜視図である。

【図25】 プリント配線基板の構成を示す概略断面図である。

【図26】 本発明の実施の形態13における半導体パッケージに搭載される半導体チップの平面レイアウト構成を示す平面図である。

【図27】 パッドとローカル周辺回路とを接続する配線がチップ内において最上層に形成されることを説明するための模式図である。

【図28】 本発明の実施の形態13における半導体パッケージにおいて、特にハンダ・パンプの配置状態を示す概略平面図である。

* す概略平面図である。

【図29】 パッドに電気的に接続されないハンダ・パンプの構成を示す概略断面図である。

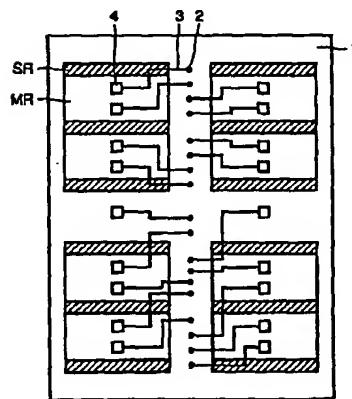
【図30】 一般的なCSPの構成を示す斜視図である。

【図31】 一般的なCSPの構成を示す平面図である。

【符号の説明】

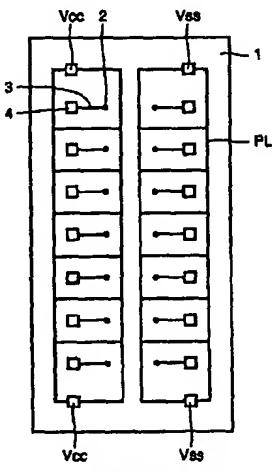
1 半導体チップ、2 ボンディングパッド、2a 導電層、3 フレーム配線、4 パンプ電極、6 バッショーション膜、7 ポリイミド膜、8 バッファコート、11 マスター周辺回路、12 マット、13 ローカル周辺回路、14 メモリアレイ、16 データバス、22 デコーダ、31 発振器、32 基本クロックジェネレータ、33 テストパターン発生回路、34、35 シフトレジスタ、36 ボンディングパッド、54 コンパレータ、SR センスアンプ領域、MR メモリセル領域、Vcc 電源電位パッド、Vss 接地電位パッド、DL 電源配線。

【図1】



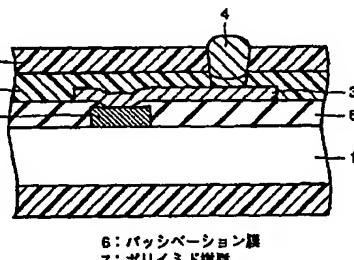
SR: センスアンプ領域
MR: メモリセル領域

【図2】



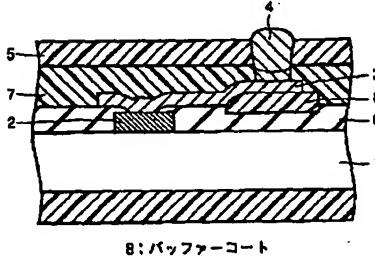
Vcc: 電源電位パッド
Vss: 接地電位パッド
PL: 電源配線

【図3】



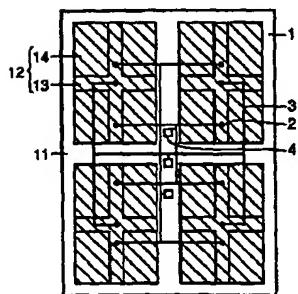
6: バッショーション膜
7: ポリイミド膜

【図4】

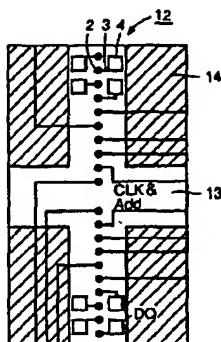


8: バッファコート

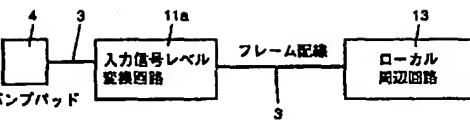
【図5】



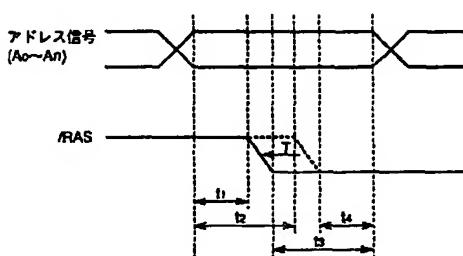
【図6】



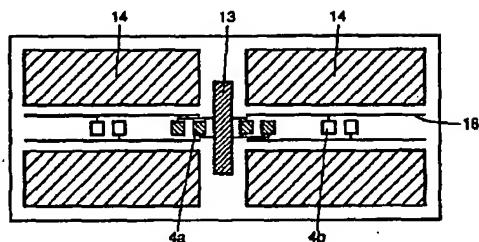
【図7】



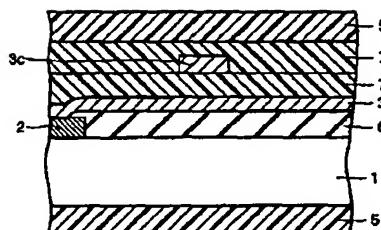
【図8】



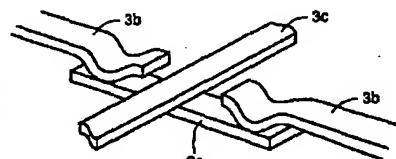
【図9】



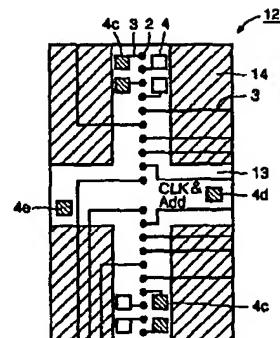
【図10】



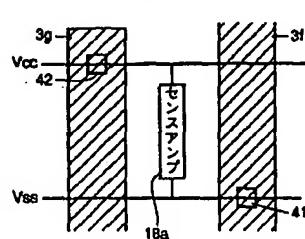
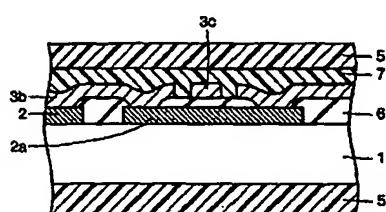
【図11】



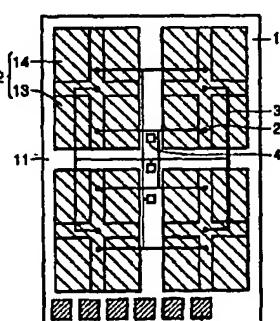
【図13】



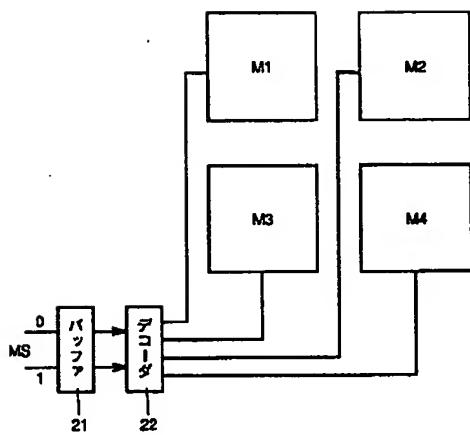
【図12】



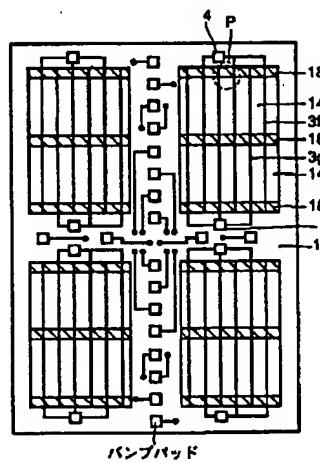
【図16】



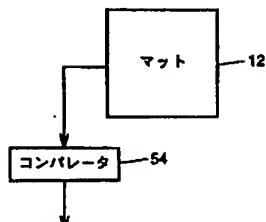
【図14】



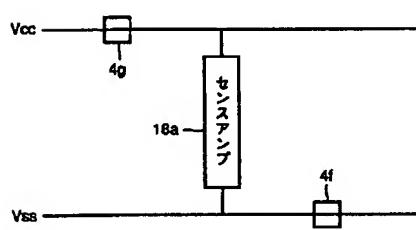
【図15】



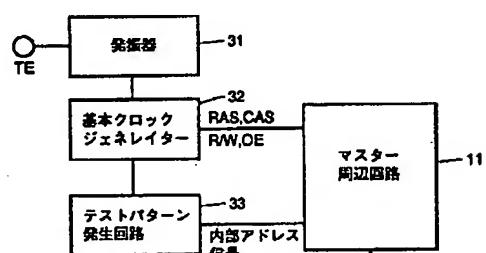
【図22】



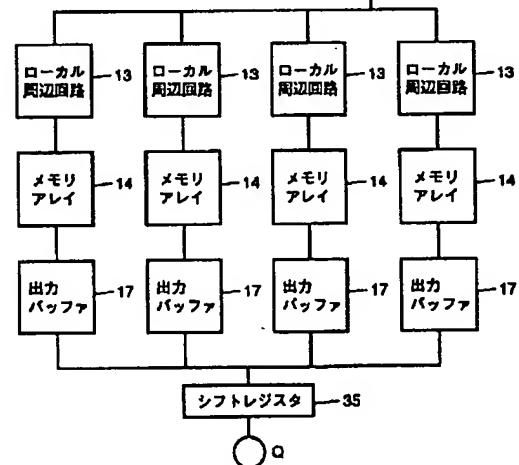
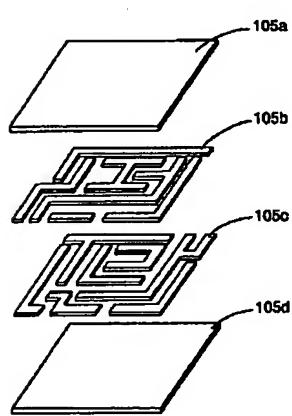
【図17】



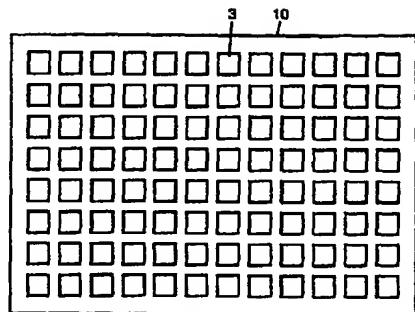
【図19】



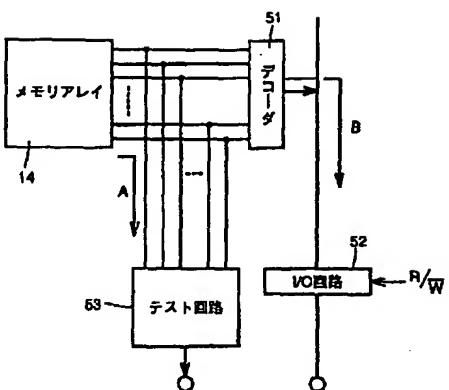
【図24】



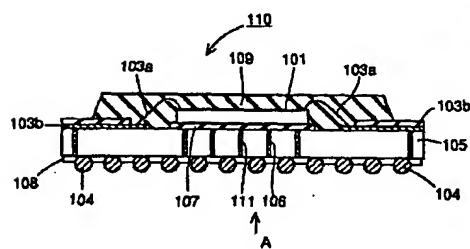
【図20】



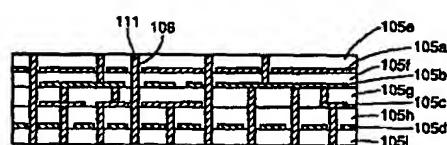
【図21】



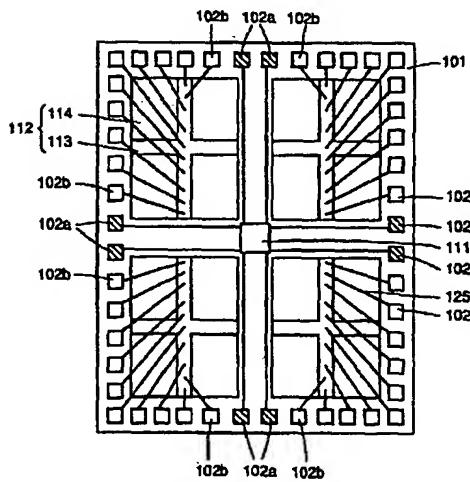
【図23】



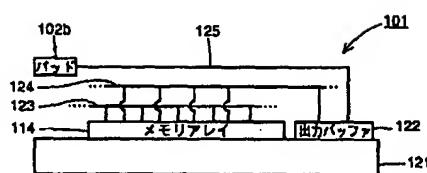
【図25】



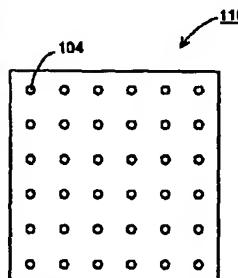
【図26】



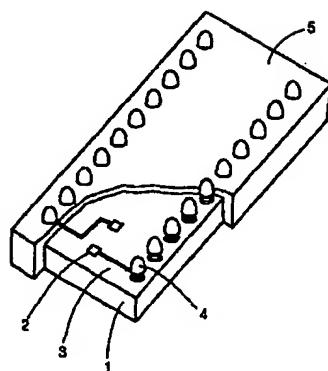
【図27】



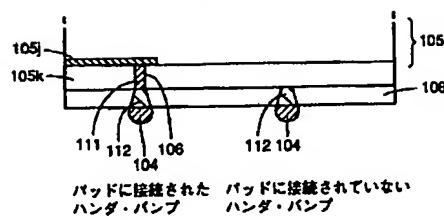
【図28】



【図30】



【図29】



【図31】

